

## PATENT ABSTRACTS OF JAPAN

B20

(11)Publication number : 62-241045  
 (43)Date of publication of application : 21.10.1987

(51)Int.Cl.

G06F 12/00  
 G06F 13/16  
 G06F 13/38  
 G11C 7/00

(21)Application number : 61-082198

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.04.1986

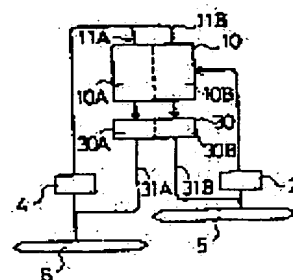
(72)Inventor : ONO MASAO

## (54) STORAGE DEVICE

## (57)Abstract:

**PURPOSE:** To double the width of data to be transferred and to increase the data transmitting speed by setting the data width of both a memory part and a read data register at a value twice as large the data width of an address bus and a data bus.

**CONSTITUTION:** The data width of a memory part 10 is set at 32 bits when the data widths of memory parts 10A and 10B are set at 16 bits. In the same way, the data width of a read data register 30 is also set at 32 bits. Thus the data of 32-bit width is extracted out of the part 10 and transferred via the register 30 when a single read request is delivered. In this case, the a read data register 30B is connected to an address bus 5 with a read data register 30A connected to a data bus 6 respectively. Thus both buses 5 and 6 are used in common with each other in a read mode of the part 10. As a result, the width of the data to be transferred is redoubled and the data transmitting speed is increased.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A)

昭62-241045

⑬ Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	⑭ 公開 昭和62年(1987)10月21日
G 06 F 12/00	3 0 3	6711-5B	
13/16		6711-5B	
13/38	3 3 0	C-7165-5B	
G 11 C 7/00	3 1 1	6549-5B	審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 記憶装置

⑯ 特 願 昭61-82198

⑰ 出 願 昭61(1986)4月11日

⑱ 発 明 者	小 野 正 夫	鎌倉市上町屋325番地 三菱電機株式会社計算機製作所内
⑲ 出 願 人	三菱電機株式会社	東京都千代田区丸の内2丁目2番3号
⑳ 代 理 人	弁理士 曾我 道照	外3名

## 明 細 書

## 1 発明の名称

記憶装置

## 2 特許請求の範囲

メモリ部と、前記メモリ部をアクセスするためのアドレスがセツトされるアドレスバスに接続されたアドレスレジスタと、前記メモリ部に対するデータのリード・ライトのためのデータバスに接続されたリードデータレジスタおよびライトデータレジスタとからなる記憶装置であつて、前記メモリ部およびリードデータレジスタのデータ幅は前記アドレスバスおよびデータバスのデータ幅の2倍にされ、前記リードデータレジスタの半部は前記アドレスバスに、また、その残余の半部は前記データバスに接続されており、前記メモリ部からのデータの読出しのときに前記アドレスバスおよびデータバスの双方がデータ伝送のために共用される記憶装置。

## 3 発明の詳細な説明

〔産業上の利用分野〕

この発明は記憶装置に関するものであり、特に、そのアドレスバスがデータバスとしても使用することのできる記憶装置に関するものである。

## 〔従来の技術〕

第1図は、従来の記憶装置の概略構成を示すブロック図であり、この第1図において(A)は所要のデータを記憶するためのダイナミックRAM群(メモリ部)であつて、これに接続されているものは、データのリード・ライトのときのメモリアドレスを一時的に格納するアドレスレジスタ(B)、読み出されたデータを一時的に格納するリードデータレジスタ(C)、および、書き込まれるデータを一時的に格納するライトデータレジスタ(D)である。そして、アドレスレジスタ(B)は対応のアドレスバス(E)に接続されており、また、リードデータレジスタ(C)およびライトデータレジスタ(D)はデータバス(F)に接続されている。なお、これらのアドレスバス(E)およびデータバス(F)は、通常、例えばメモリ部(A)に対するデータのリード・ライトリクエスト信号のような各種の制御信号を伝送するための制御

信号線を含むメモリバス(図示されない)に接続されているものである。

次に動作について説明する。いま、例えば、メモリ部(1)に対するデータのリードリクエストがメモリバス内の所定の制御信号線を介して発せられたものとする。このときには、メモリ部(1)の目標アドレスがアドレスバス(5)を介してアドレスレジスタ(2)にセットされる。そして、このようにしてセットされたアドレスに格納されている内装がメモリ部(1)から読出されてリードデータレジスタ(3)にセットされ、次いで、データバス(6)を介してプロセッサ部(図示されない)等に向けて伝送されることになる。そして、このような場合に、メモリ部(1)、アドレスレジスタ(2)、リードデータレジスタ(3)、ライトデータレジスタ(4)、アドレスバス(5)およびデータバス(6)が、いずれも、例えば16ビット幅のものであるときには、前記のようにデータバス(6)に出力されるデータは16ビット幅のものであることになる。

〔発明が解決しようとする問題点〕

り、前記メモリ部およびリードデータレジスタのデータ幅は前記アドレスバスおよびデータバスのデータ幅の2倍にされ、前記リードデータレジスタの半部は前記アドレスバスに、また、その残余の半部は前記データバスに接続されているものである。

〔作用〕

この発明によれば、メモリ部の所要のアドレスからデータを読出してプロセッサ部等に伝送するときに、アドレスバスおよびデータバスの双方がそのために共用される。

〔実施例〕

第1図は、この発明の一実施例による記憶装置の概略構成を示すブロック図である。この第1図において、メモリ部(10)は、互いに同一のデータ幅の記憶容量を有する#1メモリ部(10A)および#2メモリ部(10B)が、互いに並列になるようにして構成されている。また、リードデータレジスタ(30)は、互いに同一のデータ幅の#1リードデータレジスタ(30A)および#2リード

従来の記憶装置は以上のように構成されていたので、メモリ部(1)から読出されるデータ幅が、例えば16ビットに固定されてしまい、このために、1回のリードリクエストで読出されるデータ幅が前記の16ビットだけに限定されてしまい、そのデータ伝送速度が低下するという問題点があった。

この発明は上記のような問題点を解決するためになされたものであつて、メモリ部およびリードデータレジスタのデータ幅をアドレスバスやデータバスのデータ幅の2倍とすることにより、1回のリードリクエストで伝送されるデータのデータ幅を倍増し、そのデータ伝送速度を向上させるようにした記憶装置を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る記憶装置は、メモリ部と、前記メモリ部をアクセスするためのアドレスがセットされるアドレスバスに接続されたアドレスレジスタと、前記メモリ部に対するデータのリード・ライトのためのデータバスに接続されたリードデータレジスタおよびライトデータレジスタとからな

データレジスタ(30B)が互いに並列になるようにして構成されている。そして、ライトデータレジスタ(4)とメモリ部(10)の#1メモリ部(10A)は信号線(1/A)によつて相互に接続され、また、#2メモリ部(10B)とは信号線(1/B)によつて相互に接続されている。また、#1メモリ部(10A)と#1リードデータレジスタ(30A)とは相互に接続され、#2メモリ部(10B)と#2リードデータレジスタ(30B)とは相互に接続されている。さらに、#1リードデータレジスタ(30A)とデータバス(6)とは信号線(3/A)によつて相互に接続され、#2リードデータレジスタ(30B)とアドレスバス(5)とは信号線(3/B)によつて相互に接続されている。なお、この第1図において、前記された第2図のものと同符号が付されているものは、それらと同一または相当のものを表わしている。

次に動作について説明する。いま、#1メモリ部(10A)および#2メモリ部(10B)のデータ幅がいずれも16ビットのものであるものとする

と、メモリ部(10)のデータ幅は32ビットになり、同様にして、リードデータレジスタ(30)のデータ幅も32ビットになる。そして、上記実施例によれば、1回のリードリクエストが出されたことにより、メモリ部(10)から32ビット幅のデータが取出されてリードデータレジスタ(30)にセットされ、これがプロセッサ部等に向けて伝送されることになる。以下、第2図をも参照しながら、この点についての説明をする。この第2図は、前記されたようなリードリクエストが出されたときの動作のし方を説明するためのタイミング図である。いま、プロセッサ部等から所要のリードリクエスト(RBQ)が出されると、メモリ部(10)の目標アドレスがアドレスバス(a)を介してアドレスレジスタ(2)にセットされる(ADR)。次いで、これに対するメモリアクセスが行なわれて(ACCESS)、メモリ部(10)の中の#1メモリ部(10A)におけるデータ(DAT0)は#1リードデータレジスタ(30A)にセットされ、#2メモリ部(10B)におけるデータ(DAT1)は#2リード

データレジスタ(30B)にセットされる。そして、前記リードリクエストに対する応答(RBSP)として、前者のデータ(DAT0)はデータバス(b)を介して、また、後者のデータ(DAT1)はアドレスバス(a)を介して、全体的には32ビット幅のデータとして、プロセッサ部等に伝送される。この第2図のタイミング図からも認められるように、リクエストと、これに対する応答とは時間的にずれて生じるものであり、メモリ部に対するアドレスおよびデータのような、互いに性質の異なる情報が混合してしまいうような不都合は生起しない。

なお、上記実施例ではメモリ部のデータ幅が32ビットである場合を例にとつて説明されたけれども、これに限らず、例えば64ビットのデータ幅としても差支はなく、アドレスバスやデータバスのデータ幅やメモリ部のアドレス付与のし方を適当に選択することによつて、上記実施例と同様な効果が奏せられる。

#### 〔発明の効果〕

以上説明されたように、この発明に係る記憶装

置は、メモリ部と、前記メモリ部をアクセスするためのアドレスがセットされるアドレスバスに接続されたアドレスレジスタと、前記メモリ部に対するデータのリード・ライトのためのデータバスに接続されたリードデータレジスタおよびライトデータレジスタとからなり、前記メモリ部およびリードデータレジスタのデータ幅は前記アドレスバスおよびデータバスのデータ幅の2倍にされ、前記リードデータレジスタの半部は前記アドレスバスに、また、その残余の半部は前記データバスに接続されており、前記メモリ部からのデータの読出しのときに前記アドレスバスおよびデータバスの双方がデータ伝送のために共用されるものであることから、メモリ部からのデータをプロセッサ等に伝送するときにアドレスバスとデータバスとの双方が使用され、それに応じてデータの伝送速度が向上するといった効果が奏せられる。

#### 4 図面の簡単な説明

第1図は、この発明の一実施例による記憶装置の概略構成を示すブロック図、第2図は、上記実

施例の動作のし方を説明するためのタイミング図、第3図は、従来からの記憶装置の概略構成を示すブロック図である。

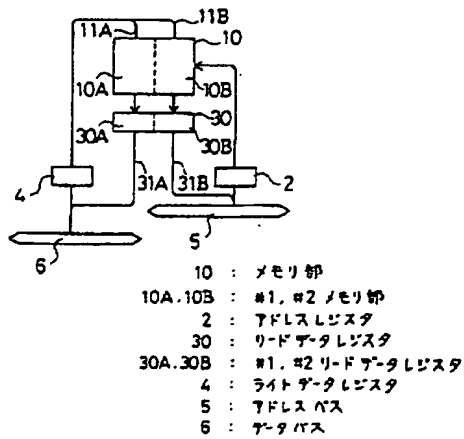
(1)、(10)はメモリ部、(10A)、(10B)は#1、#2メモリ部、(2)はアドレスレジスタ、(3)、(30)はリードデータレジスタ、(30A)、(30B)は#1、#2リードデータレジスタ、(4)はライトデータレジスタ、(5)はアドレスバス、(6)はデータバス、(1/A)、(1/B)、(3/A)、(3/B)は信号線。

なお、各図中、同一符号は同一または相当部分を示す。

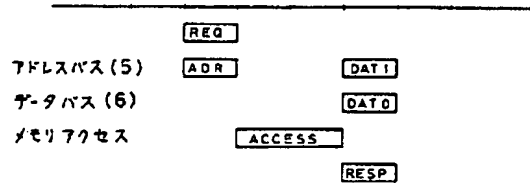
代理人 會 我 道 照



第1図



第2図



第3図

